

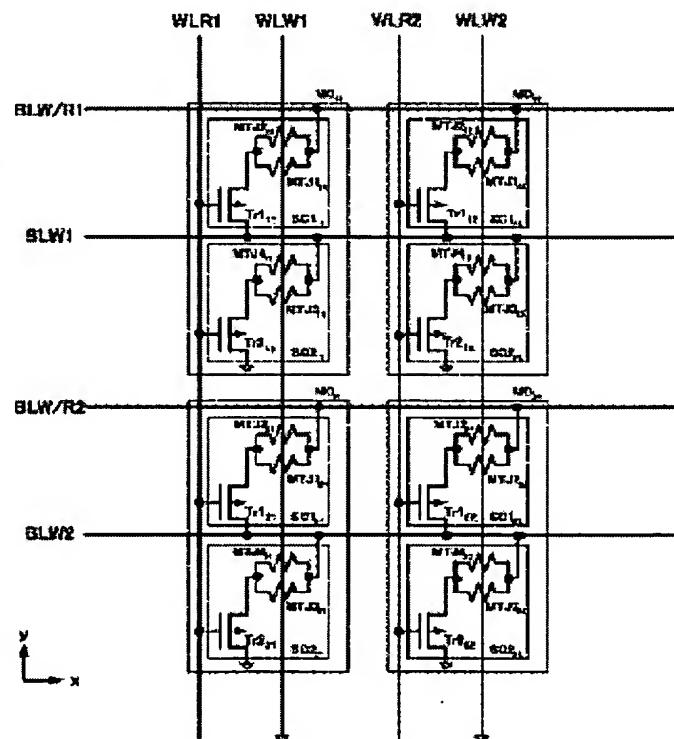
NON-VOLATILE MEMORY DEVICE**Patent number:** JP2002230965**Publication date:** 2002-08-16**Inventor:** ASANO HIDEO; SUNANAGA TOSHIO; KITAMURA TSUNEJI; MIYATAKE HISATADA; UMEZAKI HIROSHI; NODA HIROYOSHI**Applicant:** IBM**Classification:**- **International:** G11C11/14; G11C11/15; H01L27/105; H01L43/08- **European:** G11C11/16**Application number:** JP20010015475 20010124**Priority number(s):** JP20010015475 20010124**Also published as:**

US6826076 (B2)

US2002136053 (A1)

Abstract of JP2002230965

PROBLEM TO BE SOLVED: To improve the reliability of recording of a MRAM. **SOLUTION:** This device has read-out word lines WLR and write-in word lines WLW extending in the direction of (y), and write-in read-out bit lines BLW/R and write-in bit lines BLW extending in the direction of (x), and a memory cell MC is arranged at an intersection of a word line and a bit line. The memory cell MC comprises a sub-cell SC1 and a sub-cell SC2, the sub-cell SC1 comprises magnetic resistance elements MTJ1, MTJ2, and a selection transistor Tr1, and the sub-cell SC2 comprises magnetic resistance elements MTJ3, MTJ4, and a selection transistor Tr2, and the sub-cell SC2, The magnetic resistance elements MTJ1 and MTJ2 are connected in parallel, also, the magnetic resistance elements MTJ3 and MTJ2 are connected in parallel. The sub-cells SC1 and SC2 are connected in series between the write-in read-out bit lines BLW/R and ground.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-230965
(P2002-230965A)

(43)公開日 平成14年8月16日(2002.8.16)

(51)Int.Cl'	識別記号	F I	テマコード(参考)
G 11 C 11/14		G 11 C 11/14	A 5 F 0 8 3
11/15		11/15	
H 01 L 27/105		H 01 L 43/08	Z
43/08		27/10	4 4 7

審査請求 未請求 請求項の数10 OL (全 16 頁)

(21)出願番号 特願2001-15475(P2001-15475)

(22)出願日 平成13年1月24日(2001.1.24)

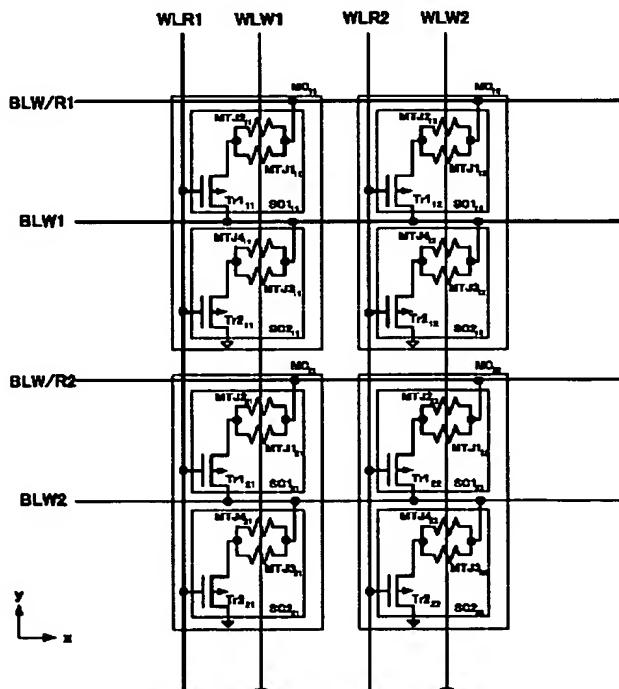
(71)出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク ニュー オーチャード ロード
(74)代理人 100086243
弁理士 坂口 博 (外3名)

最終頁に続く

(54)【発明の名称】 不揮発性メモリ装置

(57)【要約】

【課題】 MRAMの記録信頼性を向上する。
【解決手段】 y方向に延在する読出しワード線WLRと
および書き込みワード線WLWと、x方向に延在する書き
込み読み出しビット線BLW/Rと書き込みビット線BL
Wを有し、ワード線およびビット線の交点にメモリセル
MCを配置する。メモリセルMCはサブセルSC1および
サブセルSC2を含み、サブセルSC1には磁気抵抗
素子MTJ1, MTJ2および選択トランジスタTr1を、サブセルSC2には
磁気抵抗素子MTJ3, MTJ4および選択トランジスタTr2を含む。磁気抵抗素子
MTJ1とMTJ2は並列に接続され、また、磁気抵抗素子MTJ3とMTJ4は並列に接続される。そしてサ
ブセルSC1とSC2は、書き込み読み出しビット線BLW/Rと接地との間で直列に接続される。



【特許請求の範囲】

【請求項1】 磁化方向によってその抵抗値が変化する磁気抵抗素子をメモリセルに含み、前記メモリセルで1ビットの情報を記録する不揮発性メモリ装置であつて、前記メモリセルには、前記磁気抵抗素子を少なくとも1つ含むサブセルを複数有し、前記サブセルが直列または並列に接続されている不揮発性メモリ装置。

【請求項2】 前記サブセルは、 n_1 個 (n_1 は2以上の整数である) の磁気抵抗素子を並列に接続した1つの並列サブセルと1つの選択トランジスタとで構成され、前記メモリセルは、 n_2 個 (n_2 は2以上の整数である) の前記サブセルを直列に接続したものである請求項1記載の不揮発性メモリ装置。

【請求項3】 前記サブセルは、 n_2 個 (n_2 は2以上の整数である) の磁気抵抗素子を直列に接続した1つの直列サブセルと1つの選択トランジスタとで構成され、前記メモリセルは、 n_1 個 (n_1 は2以上の整数である) の前記サブセルを並列に接続したものである請求項1記載の不揮発性メモリ装置。

【請求項4】 前記サブセルは、1つの磁気抵抗素子と1つの選択トランジスタとで構成され、前記メモリセルは、 n_1 個 (n_1 は2以上の整数である) のサブセルが並列に接続された並列サブセルを n_2 個 (n_2 は2以上の整数である) 直列に接続したものである請求項1記載の不揮発性メモリ装置。

【請求項5】 磁化方向によってその抵抗値が変化する磁気抵抗素子をメモリセルに含み、前記メモリセルで1ビットの情報を記録する不揮発性メモリ装置であつて、前記メモリセルは、 n_1 (n_1 は2以上の整数である) 個の前記磁気抵抗素子を並列に接続した並列サブセルを n_2 (n_2 は2以上の整数である) 個直列に接続したものと、1つの選択トランジスタとで構成される不揮発性メモリ装置。

【請求項6】 前記 n_1 および n_2 は等しい数である請求項2～5の何れか一項に記載の不揮発性メモリ装置。

【請求項7】 前記メモリセルへの情報の書き込みは、前記メモリセルに含まれる全ての磁気抵抗素子についてそのフリー層を同一方向に磁化することにより行い、前記メモリセルに記録された情報の読み出しへ、前記メモリセルの全体の抵抗値を検出することにより行う請求項1～5の何れか一項に記載の不揮発性メモリ装置。

【請求項8】 1つの磁気抵抗素子と1つの選択トランジスタからなるメモリセルと、

前記メモリセルが二次元に配置されたメモリアレイと、前記メモリアレイの第1方向に延在し、前記メモリセルに含まれる選択トランジスタのゲート電極として機能する第1配線と、

前記メモリアレイの第2方向に延在し、前記メモリセルの一端に接続された第2配線と、

前記第2方向に延在し、前記メモリセルの他端に接続さ

れた第3配線と、を有し、

前記メモリアレイの周辺の回路領域において、前記第2および第3配線の端部を端子とする回路が、前記第1方向に隣接する他のメモリセルの回路と直列に接続されている不揮発性メモリ装置。

【請求項9】 前記不揮発性メモリ装置への1ビットの情報の書き込みは、複数の前記第1配線と複数の前記第2配線が交差する位置に形成された複数の前記メモリセルについて、その磁気抵抗素子のフリー層を同一方向に磁化することにより行い、

前記不揮発性メモリ装置からの1ビットの情報の読み出しは、前記複数の第1配線について同一の読み出し制御信号を入力し、直列に接続された前記回路の第2配線および第3配線間の抵抗値を検出することにより行う請求項8記載の不揮発性メモリ装置。

【請求項10】 前記複数の第1配線の本数と、前記直列に接続される回路の回路数が同一である請求項9記載の不揮発性メモリ装置。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】 本発明は、不揮発性メモリ装置に関し、特にトンネル磁気抵抗 (TMR : tunnel magneto resistive) 効果等の磁気抵抗 (MR : Magneto Resistive) 効果を利用したスピンドル用いるメモリ装置に適用して有効な技術に関する。

【0002】

【従来の技術】 近年、磁化の方向によって抵抗値が変化する磁気抵抗効果 (Magneto Resistive Effect) を用いたRAM (Random Access Memory) が注目を集めている。磁気抵抗効果を用いたRAMをMRAM (Magneto-resistive RAM) と称する。磁気抵抗効果には、異方性磁気抵抗効果 (AMR) や巨大磁気抵抗効果 (GMR) が知られており、特にトンネル電流を利用して磁気抵抗効果を得るトンネル磁気抵抗効果 (TMR) は大きな磁界感度を得ることができる点で注目されている。

【0003】 TMRを用いたスピンドル用いる素子は、反強磁性層、強磁性層 (ピン層) 、絶縁層 (トンネル層) 、強磁性層 (フリー層) の積層構造を有し、MTJ (Magnetic Tunnel Junction) 素子とも呼ばれる。反強磁性層は隣接する強磁性層 (ピン層) の磁化の方向を固定する機能を有し、フリー層の磁化の方向がピン層の磁化方向と一致する場合に絶縁層にトンネル電流が流れようになる。一方フリー層の磁化方向がピン層の磁化方向と逆の場合には絶縁層に流れる電流は一致の場合のトンネル電流より少なくなる。つまり、フリー層の磁化方向 (電子スピノンの方向) によって、TMR素子の積層方向の抵抗値が変化する。このようなフリー層の磁化方向で

「0」あるいは「1」の情報を記録し、TMR素子の抵抗値の変化によって情報を読み出すメモリ素子が構成できる。

【0004】前記原理から明らかに、TMR効果を用いたメモリ素子(MRAM)は不揮発性であり、情報の読み出しによる記録内容の破壊が起こらないスタティック素子である。また、情報の読み出しはTMR素子の抵抗変化を検出するのみである。よって、1ビットを記録する基本セルに必要とされる選択トランジスタは1つでよい。このためDRAM(Dynamic Random Access Memory)並みの集積度が期待でき(つまり低コスト)、EEPROM(electrical erasable Read Only Memory)のような不揮発性メモリを実現できる。かつ、SRAM(Static Random AccessMemory)のようなリフレッシュ動作を必要としない固体メモリ素子が実現できる。しかも、EEPROMのように情報の書き換え回数に制限がなく、また書き換え速度もEEPROMに比較して格段に速い。読み出し、書き込みの速度もDRAM並みである。このような極めて顕著なメリットを多数有するため、MRAMは既存の固体メモリを置き換える極めて有望なメモリ装置であると期待されている。

【0005】MRAMの読み出しおよび書き込み方法は、メモリセルの構成およびビット線、ワード線の配置に依存する。以下、1つのTMR素子と1つの選択トランジスタとでメモリセルが構成される場合の読み出しおよび書き込み方式を説明する。

【0006】まず、代表的なMRAMメモリセルの構造を説明する。メモリセルを構成するTMR素子の一端は選択トランジスタのドレインに接続され、TMR素子の他端はビット線に接続される。ビット線は断面においてTMR素子の上部に配置される。ビット線の延在方向をここでは第1方向とする。メモリセルはメモリアレイ領域に2次元にマトリックス状に配置されるので、1本のビット線には複数のメモリセル(TMR素子)が接続される。この点代表的なDRAMの場合と同様である。選択トランジスタのドレインとTMR素子とは通常複数のピアホールあるいはスルーホール内の導電プラグおよび配線を介して接続される。

【0007】選択トランジスタのソースはグランド電位に維持され、ゲート電極は第1方向に直交する第2方向に延在するワード線の一部として構成される。ワード線は、たとえばドープドポリシリコン等の低抵抗半導体材料である。第2方向に配列された選択トランジスタのゲート電極は共通のワード線として構成されることになる。この点も代表的なDRAMの場合と同様である。

【0008】また、断面においてTMR素子の下部に位置する領域に書き込みワード線が第2方向に配置される。

【0009】このような構成を有するメモリセルの場合の書き込みおよび読み出し方式を説明する。まずメモリセルへの情報の書き込みは、ビット線および書き込みワード線を用いる。前記の通りビット線と書き込みワード線はその延在方向が相違し、格子状に直交して配置される。1つのビット線と1つの書き込みワード線を選択することにより

その交点に位置するメモリセルが選択される。

【0010】選択されたビット線および書き込みワード線に所定の方向の電流を流す。これによりビット線によって生成される磁界と書き込みワード線によって生成される磁界の合成磁界が生成される。この合成磁界により前記したフリー層の磁化方向を変化させる。たとえば「1」に相当する情報の場合にはフリー層とピン層の磁化方向を逆にしてTMR素子の抵抗値を大きくする。「0」に相当する情報の場合はフリー層とピン層の磁化方向を同じにして抵抗値を小さくする。なお、ピン層は予め所定の磁化方向に磁化されている。

【0011】このように情報が書き込まれたメモリセルから情報を読み出すには、ビット線と読み出しワード線を用いる。前記同様に1つのビット線と1つの読み出しワード線を選択することにより、その交点に配置されたメモリセルを選択する。メモリセルの選択トランジスタのゲート電極(読み出しワード線)を活性化することにより選択トランジスタをON状態にし、ビット線とグランド間の抵抗値を計測してその情報(高抵抗か低抵抗か)を検出する。これにより情報の読み出しを行う。

【発明が解決しようとする課題】前記の通りMRAMは、他のメモリ装置に比較した顕著な優位性を有するものの、実用化段階における高信頼性、高集積化のために各種の課題がある。たとえば、書き込み磁化のばらつきの低減、ピン層の安定化等である。特に、MRAMではトンネル電流を利用するため絶縁層は極めて薄く形成する必要があり、その安定性、均一性の向上は大きな課題である。

【0013】たとえば、MRAMセルの微細化を推進した場合、TMR素子の単位面積あたりに流す電流が大きくなり、絶縁層の信頼性が低下する問題がある。すなわち、TMR素子の抵抗変化分を検出するには、微細化の程度に関わらず最小の電流容量が存在する。このため、微細化を促進すればTMR素子を流れる電流密度が大きくなり、極薄膜の絶縁層の信頼性を低下させる要因になり得る。

【0014】また、絶縁層あるいはピン層、フリー層等の磁性層の製造ばらつきにより、素子抵抗がばらつく問題もある。製造工程による素子抵抗のばらつきはフリー層の磁化方向による抵抗変化分のばらつきを引き起こし、情報の読み出しを適正に行えない場合を生じる。すなわち、抵抗変化分のばらつきが大きい時には磁化方向による抵抗値の変化を検出することが困難になり、メモリセルが微細化されると抵抗変化も小さくなり、ばらつきの影響がさらに大きくなる。特に抵抗変化が小さくなる時にはその影響は無視できない。さらに磁気抵抗素子の特性として、高いバイアス電圧が印加されたときに、磁化方向の相違による抵抗変化(MR比)が低下する問題が指摘されている。

【0015】本発明の目的は、MRAMの記録信頼性を向上することにある。また、ある程度の抵抗値のばらつきを前提とした場合であっても信頼性の高い情報の読み出しを実現することにある。さらに磁気抵抗素子のMR比のバイアス電圧依存性を緩和することにある。

【0016】

【課題を解決するための手段】本願の発明の概略を説明すれば、以下の通りである。すなわち、本発明では、1ビットの情報が記録されるメモリセルに、磁気抵抗素子が直列または並列に接続されるサブセルを複数含み、前記サブセルを並列または直列に接続することによって、メモリセル全体で複数の磁気抵抗素子が直列および並列に接続されるように構成する。このようなメモリセルを構成することによって、1つの磁気抵抗素子に流れる電流を少なくし、微細化に起因するメモリセルの信頼性の低下を抑制できる。また、複数の磁気抵抗素子で1ビットの情報を記録するため、そのうちの1つの磁気抵抗素子の抵抗値変化が小さい場合であっても、メモリセル全体での抵抗値変化の減少の影響を小さくできる。さらに、磁気抵抗素子を直列に接続する場合、磁気抵抗素子1個にかかる電圧が小さくなるので、その両端にかかる電圧が大きいほど抵抗値変化(MR比)が小さくなる磁気抵抗素子のバイアス電圧依存性を小さくできる。

【0017】また、本発明では、複数のメモリセルを直列および並列に接続することにより、複数のメモリセルで1ビットの情報を記録するように構成する。前記直列または並列の接続はメモリセルの周回路で行う。これにより、前記した情報の記録信頼性の向上等の効果のほかに、メモリセル内のデバイス設計を変更することなく、周回路の配線接続を変更するのみで、1ビットを記録するメモリセルの数を変更できる。たとえば信頼性の低い時には1ビット記録のためのメモリセル数を多くし(つまり多数個のメモリセルを直列および並列に接続する)、信頼性が向上した時には1つのメモリセルで1ビットを記録する等の工夫が可能になる。

【0018】なお、本願明細書で開示する発明を列記して説明すれば以下のとおりである。すなわち、本発明のメモリ装置は、磁化方向によってその抵抗値が変化する磁気抵抗素子をメモリセルに含み、メモリセルで1ビットの情報を記録する不揮発性メモリ装置であって、メモリセルには、磁気抵抗素子を少なくとも1つ含むサブセルを複数有し、サブセルが直列または並列に接続されている。

【0019】たとえば、サブセルは、 n_1 個の磁気抵抗素子を並列に接続した1つの並列サブセルと1つの選択トランジスタとで構成され、メモリセルは、 n_2 個のサブセルを直列に接続したものである。なお、 n_1 および n_2 は2以上の整数である(以下同様)。あるいは、サブセルは、 n_2 個の磁気抵抗素子を直列に接続した1つの直列サブセルと1つの選択トランジスタとで構成さ

れ、メモリセルは、 n_1 個のサブセルを並列に接続したものである。あるいは、サブセルは、1つの磁気抵抗素子と1つの選択トランジスタとで構成され、メモリセルは、 n_1 個のサブセルが並列に接続された並列サブセルを n_2 個直列に接続したものである。

【0020】また、本発明のメモリ装置は、磁化方向によってその抵抗値が変化する磁気抵抗素子をメモリセルに含み、メモリセルで1ビットの情報を記録する不揮発性メモリ装置であって、メモリセルは、 n_1 個の磁気抵抗素子を並列に接続した並列サブセルを n_2 個直列に接続したものと、1つの選択トランジスタとで構成される。

【0021】なお、前記メモリ装置において、 n_1 および n_2 は等しい数とすることができる。また、前記メモリ装置において、メモリセルへの情報の書き込みは、メモリセルに含まれる全ての磁気抵抗素子についてそのフリー層を同一方向に磁化することにより行い、メモリセルに記録された情報の読み出しが、メモリセルの全体の抵抗値を検出することにより行う。

【0022】また、本発明のメモリ装置は、1つの磁気抵抗素子と1つの選択トランジスタからなるメモリセルと、メモリセルが二次元に配置されたメモリアレイと、メモリアレイの第1方向に延在し、メモリセルに含まれる選択トランジスタのゲート電極として機能する第1配線と、メモリアレイの第2方向に延在し、メモリセルの一端に接続された第2配線と、第2方向に延在し、メモリセルの他端に接続された第3配線と、を有し、メモリアレイの周辺の回路領域において、第2および第3配線の端部を端子とする回路が、第1方向に隣接する他のメモリセルの回路と直列に接続されている。

【0023】この場合、不揮発性メモリ装置への1ビットの情報の書き込みは、複数の第1配線と複数の第2配線が交差する位置に形成された複数のメモリセルについて、その磁気抵抗素子のフリー層を同一方向に磁化することにより行い、不揮発性メモリ装置からの1ビットの情報の読み出しが、複数の第1配線について同一の読み出し制御信号を入力し、直列に接続された前記回路の第2配線および第3配線間の抵抗値を検出することにより行うことができる。また、複数の第1配線の本数と、直列に接続される回路の回路数を同一とすることができます。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本実施の形態の記載内容に限定して解釈すべきではない。なお、実施の形態の全体を通して同じ要素には同じ番号を付するものとする。

【0025】(実施の形態1) 図1は、本発明の一実施50の形態であるメモリ装置の一例をメモリセル領域の部分

について示した回路図である。図1に示すように、本実施の形態のメモリ装置は、読出しワード線WLR、書込みワード線WLW、書込み読出しビット線BLW/Rおよび書込みビット線BLWを有する。読出しワード線WLRおよび書込みワード線WLWは第1方向(図中y方向で示す)に延在して形成され、書込み読出しビット線BLW/Rおよび書込みビット線BLWは第1方向にほぼ垂直な方向の第2方向(図中x方向で示す)に延在して形成される。ワード線(読出しワード線WLRおよび書込みワード線WLW)およびビット線(書込み読出しビット線BLW/Rおよび書込みビット線BLW)の交点にはメモリセルMCが配置される。

【0026】なお、図1において第1方向あるいは第2方向に隣接して配置されるビット線あるいはワード線に番号を付し、また、交点に配置されるメモリセルMCには各ビット線およびワード線の番号を添字として付す。すなわち、読出しワード線WLR1および書込みワード線WLW1と書込み読出しビット線BLW/R1および書込みビット線BLW1の交点に配置されるメモリセルはMC₁₁である。図において4つのメモリセルMC₁₁、MC₁₂、MC₂₁、MC₂₂を示すが、さらに多数のメモリセルが接続されることを勿論である。以下の説明では、メモリセルMC₁₁を例示して説明する。また、各メモリセルMC(MC₁₁、MC₁₂、MC₂₁、MC₂₂)およびMCを構成する要素(サブセルSC1、SC2、磁気抵抗素子MTJ1～4、選択トランジスタTr1、Tr2等)は、図では添え字「1」、「12」、「21」、「22」を付すが、以下の説明では添え字を省略する。添え字が省略されている場合には明示的に示した場合を除き、メモリセルMC₁₁等「11」の場合を示す。他のメモリセルMC₁₂、MC₂₁、MC₂₂および図示しないメモリセルについてはメモリセルMC₁₁の場合と同様である。

【0027】メモリセルMCは、サブセルSC1およびサブセルSC2を含む。サブセルSC1には磁気抵抗素子MTJ1、MTJ2および選択トランジスタTr1を含む。サブセルSC2には磁気抵抗素子MTJ3、MTJ4および選択トランジスタTr2を含む。磁気抵抗素子MTJ1～4は、従来技術の項で説明した磁気抵抗素子と同様である。すなわち、反磁性層上に磁化方向が固定される強磁性層(ピン層)、絶縁層、磁化方向が変化される強磁性層(フリー層)が順次積層された構造を持つ。選択トランジスタは、たとえばnチャネル型のMOSFET(Metal Oxide Semiconductor Field Effect Transistor)である。

【0028】磁気抵抗素子MTJ1とMTJ2とは互いに並列に接続され、その一端は書込み読出しビット線BLW/Rに接続される。他端は、選択トランジスタTr1のドレインに接続される。選択トランジスタTr1のソースは書込みビット線BLWに接続される。磁気抵抗

素子MTJ3とMTJ4とは互いに並列に接続され、その一端は書込みビット線BLWに接続される。他端は、選択トランジスタTr2のドレインに接続される。選択トランジスタTr2のソースはグランド(接地)に接続される。つまり、サブセルSC1とSC2は、書込み読出しビット線BLW/Rと接地との間で直列に接続される。

【0029】図2は、本実施の形態のメモリセルMCの一例を示した平面図(a)および断面図(b)である。図2において、隣接するメモリセルは省略している。また図2(b)の断面図は、図2(a)の平面図におけるb-b線断面を示す。

【0030】半導体基板1上には素子分離領域2が形成され、素子分離領域2で囲まれた活性領域3に選択トランジスタTr1、Tr2が形成される。半導体基板1はたとえば単結晶シリコンからなる。選択トランジスタがnチャネル型の場合、半導体基板1はp型にドープされるか、p型のウェル領域が形成される。素子分離領域2はたとえば酸化シリコンからなる。素子分離領域2はたとえば半導体基板1の表面に溝を形成した後に酸化シリコン膜をCVD(Chemical Vapor Deposition)法により形成し、CMP(Chemical Mechanical Polishing)法を用いて溝以外の領域の酸化シリコン膜を除去して形成される。活性領域3は、素子分離領域2で囲まれた領域であり、x方向に長い方形で形成される。なお、本実施の形態では、1つの活性領域3に1つのトランジスタが形成される例を説明するが、互いのソース領域を活性領域の中心部で共有する2つのトランジスタが形成されても良い。

【0031】活性領域3を横断して半導体基板1上に読出しワード線WLRが形成される。読出しワード線WLRは選択トランジスタTr1、Tr2のゲート電極として機能する。また、ゲート電極(読出しワード線WLR)と活性領域3との間にはゲート絶縁膜4が形成され、ゲート電極両側の活性領域3の表面付近には、ソースまたはドレインとなる半導体領域5が形成される。ゲート電極となる読出しワード線WLRは、たとえば低抵抗化された多結晶シリコン膜で形成される。低抵抗化のために、たとえばボロンまたはリンが高濃度にドープされる。なお、多結晶シリコン膜の低抵抗化のために表面を金属シリサイド化しても良く、また中間層を介してタンクステン等の金属を表面に形成しても良い。ゲート絶縁膜4は、たとえば熱酸化法あるいは熱CVD法等で形成されたシリコン酸化膜である。半導体領域5には、選択トランジスタがnチャネル型の場合、たとえばリン等のn型不純物がドープされる。選択トランジスタは勿論pチャネル型で構成しても良く、この場合ボロン等のp型不純物がドープされる。半導体領域5の表面は低抵抗化あるいはコンタクト抵抗の低減のために金属シリサイド化されても良い。なお、半導体領域5はゲート電極

をマスクに用いて自己整合で形成される。

【0032】半導体領域5の上部にはプラグPを介して第1層金属配線(M1)が形成される。M1の一部(選択トランジスタTr2の上部)には、接地電位に維持されるソース線SLが形成されている。ソース線SLはy方向に延在して形成される。また、M1には、選択トランジスタTr1のソースと書き込みビット線BLWとを接続するためのローカル配線11を含む。なお、プラグPと配線M1の形成には、いわゆるダマシンプロセスを用いることができる。つまり、シリコン酸化膜等からなる層間絶縁膜を堆積後、その表面をたとえばCMP法で平坦化し、接続孔あるいは配線溝をたとえばドライエッチング法で形成する。その後導電材料(たとえばタンガステン、銅、アルミニウム等)を堆積し、接続孔、配線溝以外の領域の層間絶縁膜表面の余分な導電材料をたとえばCMP法で除去する。これらダマシンプロセスは後に説明する配線、プラグ等の形成にも適用できる。後述の説明においてダマシンプロセスの説明は省略する。

【0033】第1層金属配線M1の上部にはプラグPを介して第2層金属配線M2が形成される。M2には、書き込みワード線WLWを含む。書き込みワード線WLWはy方向に延在して形成され、後に説明する磁気抵抗素子MTJ1, MTJ2, MTJ3, MTJ4の下部に位置するように形成される。

【0034】第2層金属配線の上部には磁気抵抗素子MTJ1～4が形成される。図示するようにMTJ1～4は同一層で形成され、MTJ1とMTJ2のフリー層7が配線6-1に、MTJ3とMTJ4のフリー層7が配線6-2に接して形成される。配線6-1, 6-2は各々プラグPおよびM2、M1を介して選択トランジスタTr1, Tr2のドレインに接続される。MTJ1とMTJ2の反磁性層10、MTJ3とMTJ4の反磁性層10は各々書き込み読出しビット線BLW/Rと書き込みビット線BLWに接続される。すなわち、磁気抵抗素子MTJ1とMTJ2は並列に接続され、磁気抵抗素子MTJ3とMTJ4は並列に接続される。MTJ1～4は、前記のとおり強磁性体のフリー層7、絶縁層8、強磁性体のピン層9、反磁性層10からなる。これら各層あるいはその上下端層に適当な中間層を設けても良い。フリー層7およびピン層9にはたとえばコバルト(Co)膜を用い、反磁性層10にはたとえばFeMn膜を用いることができる。また、絶縁層8には、シリコン酸化膜あるいはアルミナ(Al₂O₃)膜を用いることができる。これら薄膜はスピッタ法あるいはCVD法を用いて形成できる。なお、前記MTJの積層方向は逆でもよい。つまり、ここでは上層より反磁性層、ピン層、絶縁層、フリー層の順に積層されている例を示しているが、上層より、フリー層、絶縁層、ピン層、反磁性層の順に積層しても良い。

【0035】磁気抵抗素子MTJ1～4の上部には、第

3層金属配線M3が形成される。M3には、書き込み読出しビット線BLW/R、書き込みビット線BLWを含む。書き込み読出しビット線BLW/Rはx方向に延在し、MTJ1およびMTJ2上に、それらに接して形成される。書き込みビット線BLWは、x方向に延在し、MTJ3およびMTJ4上に、それらに接して形成される。また、書き込みビット線BLWは、前記のとおり選択トランジスタTr1のソースと接続するためのプラグと接続される。

10 【0036】上記のようなデバイス構成により、図1に示す回路のメモリセルMCが実現できる。ただし、図2に示したデバイス構成はあくまでも例示であり、他の構成によって図1の回路を実現することも可能である。また、前記したメモリセルMCは、x方向およびy方向に同様の構成のメモリセルが多数形成されてメモリアレイを構成することは勿論である。

【0037】次に、前記メモリセルMCへの1ビットの情報の書き込みおよび読出しの方法を説明する。メモリセルMCにデータを書き込む場合には、Tr1およびTr2をオフ状態にし、書き込み読出しビット線BLW/Rおよび書き込みビット線BLWと、書き込みワード線WLWに電流を流す。この電流による合成磁界によってフリー層7の磁化方向を決める。磁化の方向によって「1」または「0」の1ビット情報を記録する。なお、書き込み読出しビット線BLW/Rおよび書き込みビット線BLWに同一方向の電流を流すことは勿論である。

【0038】メモリセルMCに記録されている情報を読み出すには、Tr1およびTr2をオン状態にし(選択トランジスタがnチャネルの場合、読出しワード線WLW/Rをハイレベル電圧にする)、書き込み読出しビット線BLW/Rに所定の電流を流してその電圧を計測する。フリー層とピン層の磁化方向が一致している場合、絶縁層にトンネル電流が流れ、一方磁化方向が不一致の場合には一致の場合に比較してトンネル電流が少なくなる。よって、フリー層の磁化方向によって磁気抵抗素子MTJの抵抗値が相違し、書き込み読出しビット線BLW/Rの電圧が相違する。これにより記録された情報が「1」か「0」かを判別する。なお、読出しに係るメモリセル以外の選択トランジスタはオフ状態にする。

40 【0039】本実施の形態のメモリセルの場合、1ビットの情報は4つの磁気抵抗素子MTJ1～4で記録される。そして各磁気抵抗素子は2つを並列に、さらに、並列に接続された2つの磁気抵抗素子を2つ直列に接続する構成を探る。このため、各磁気抵抗素子に流れる電流密度が1つの磁気抵抗素子で記録した場合と比較して1/2に小さくなり、電流に起因する磁気抵抗素子の破損等信頼性の低下を抑制できる。

【0040】また、選択トランジスタのオン抵抗を無視すれば、メモリセル全体の抵抗値変化は以下のようになる。すなわち、磁気抵抗素子MTJ1～4の抵抗値を

R、抵抗値変化を r_2 とする。このうち、1つのMTJが仮に抵抗値変化が少なく r_1 ($r_1 < r_2$) しか変化しないと仮定する。このような抵抗値変化の減少は從来

$$\begin{aligned} R_{\text{total}} &= (R + r_2) \left\{ 1 - \Delta r / (4R + 4r_2 - 2\Delta r) \right\} \\ &\approx (R + r_2) \left\{ 1 - \Delta r / (4R + 4r_2) \right\} \\ &= R + r_2 - \Delta r / 4 \end{aligned}$$

ここで、 $r_1 = r_2 - \Delta r$ 、 $4R + 4r_2 >> 2\Delta r$ 、とした。つまり、1つの磁気抵抗素子で記録した場合にその磁気抵抗素子の抵抗値変化が r_1 しかなかった場合の影響 ($\Delta r = r_2 - r_1$) に比較して、その影響を $1/4$ にすることができる。

【0042】このように本実施の形態のメモリセルによれば、高集積化に起因する電流密度増加の影響および抵抗値変化減少の影響を抑制することが可能になり、メモリ装置の記録信頼性を向上できる。またMTJのMR比のバイアス電圧依存性を小さくできる。なお、前記メモリセルの構成は一種の冗長構成であり、他の冗長構成を探ることもできる。また、前記実施の形態では、2個の並列および2個の直列 (2×2) の磁気抵抗素子を例示したが、 3×3 あるいはそれ以上の磁気抵抗素子の並列および直列構成としても良い。この場合、電流密度は $1/3$ あるいはそれ以下にでき、また、抵抗値変化の減少の影響を $1/9$ あるいはそれ以下にできる。さらに、 2×2 、 3×3 等、等しい数の並列直列構成に限らず、 2×3 、 3×4 、 2×4 等異なる個数の並列あるいは直列構成とすることも可能である。なお、前記のような冗長構成を探ることにより、セル面積が増加する不利益があるが、図2(a)の平面図に示すように、1 MTJ + 1 Tr の最小構成に比較して、実質的に2倍程度の素子面積であり、冗長性による信頼性の向上効果を考慮すれば、前記不利益を相殺するに十分な効果を得ることができる。集積度が要求されない場合には、もとより本実施の形態の効果をそのまま享受することができる。

【0043】(実施の形態2) 図3は、本発明の他の実施の形態であるメモリ装置の一例をメモリセル領域の部分について示した回路図である。図3に示すように、本実施の形態のメモリ装置は、読み出しワード線WLR-1, WLR-2、書き込みワード線WLW-1, WLW-2、ビット線BLを有する。ワード線(読み出しワード線WLR-1, WLR-2、書き込みワード線WLW-1, WLW-2)は第1方向(図中y方向で示す)に延在して形成され、ビット線BLは第1方向にほぼ垂直な方向の第2方向(図中x方向で示す)に延在して形成される。ワード線およびビット線BLの交点にはメモリセルMCが配置される。なお、図3においてビット線およびワード線に付す番号、メモリセルMC等に付す添え字の規則は実施の形態1の場合と同様である。

【0044】メモリセルMCは、サブセルSC1およびサブセルSC2を含む。サブセルSC1には磁気抵抗素

技術において問題とされるものである。

【0041】本実施の形態のメモリセル全体の抵抗値を R_{total} とすれば、

$$R_{\text{total}} = (R + r_2) \left\{ 1 - \Delta r / (4R + 4r_2 - 2\Delta r) \right\}$$

子MTJ1, MTJ2および選択トランジスタTr1を含む。サブセルSC2には磁気抵抗素子MTJ3, MTJ4および選択トランジスタTr2を含む。磁気抵抗素子MTJ1～4、選択トランジスタTr1, Tr2は、実施の形態1と同様である。

【0045】磁気抵抗素子MTJ1とMTJ2とは互いに直列に接続され、その一端はビット線BLに接続される。他端は、選択トランジスタTr1のドレインに接続される。選択トランジスタTr1のソースはグランド(接地)に接続される。同様に、磁気抵抗素子MTJ3とMTJ4とは互いに直列に接続され、その一端はビット線BLに接続される。他端は、選択トランジスタTr2のドレインに接続される。選択トランジスタTr2のソースはグランド(接地)に接続される。つまり、サブセルSC1およびSC2はビット線BLと接地との間で並列に接続される。

【0046】図4は、本実施の形態のメモリセルMCの一例を示した平面図(a)および断面図(b)である。図4において、隣接するメモリセルは省略している。また図4(b)の断面図は、図4(a)の平面図におけるb-b線断面を示す。

【0047】半導体基板1、素子分離領域2、活性領域3、選択トランジスタTr1, Tr2、ゲート絶縁膜30 4、半導体領域5、ゲート電極の材料に関する記載、第1層金属配線M1、第2層金属配線M2、第3層金属配線M3、層間絶縁膜、磁気抵抗素子MTJの構成については、実施の形態1と同様である。よって詳細な説明は省略する。

【0048】本実施の形態では、サブセルSC1とSC2をx方向に隣接して配置する。すなわち、1本のビット線BLをx方向に延在して形成し、2本の読み出しワード線WLR-1, WLR-2をy方向に延在して形成する。WLR-1とWLR-2はx方向に隣接して配置する。読み出しワード線WLR-1, WLR-2は、各々選択トランジスタTr1, Tr2のゲート電極として機能する。

【0049】また、本実施の形態では、磁気抵抗素子MTJ1とMTJ2とを直列に接続する。すなわち、選択トランジスタTr1のドレインから引き上げられたプラグに接続されるローカル配線12をMTJ2の下部まで形成し、MTJ2の上部に配置したローカル配線14とMTJ1の下部に配置したローカル配線13とをプラグ15で接続する。そして、MTJ1の上部をプラグ1650を介してビット線BLに接続する。また、磁気抵抗素子

MTJ3とMTJ4も直列に接続する。接続方法は前記と同様である。

【0050】上記のようなデバイス構成により、図3に示す回路のメモリセルMCが実現できる。ただし、図4に示したデバイス構成はあくまでも例示であり、他の構成によって図3の回路を実現することも可能である。また、前記したメモリセルMCは、x方向およびy方向に同様の構成のメモリセルが多数形成されてメモリアレイを構成することは勿論である。

【0051】次に、前記メモリセルMCへの1ビットの情報の書き込みおよび読み出しの方法を説明する。メモリセルMCにデータを書き込む場合には、Tr1およびTr2をオフ状態にし、ビット線BLと、書き込みワード線WLW-1, LWL-2に電流を流す。この電流による合成磁界によってフリー層7の磁化方向を決める。磁化の方向によって「1」または「0」の1ビット情報を記録する。なお、書き込みワード線WLW-1, LWL-2に同一方向の電流を流すことは勿論である。

【0052】メモリセルMCに記録されている情報を読み出すには、Tr1およびTr2をオン状態にし（選択トランジスタがnチャネルの場合、読み出しワード線WLR-1, WLR-2をハイレベル電圧にする）、ビット線BLに所定の電流を流してその電圧を計測する。フリー層とピン層の磁化方向が一致している場合、絶縁層にトンネル電流が流れ、一方磁化方向が不一致の場合、一致の場合に比較してトンネル電流は少なくなる。よって、フリー層の磁化方向によって磁気抵抗素子MTJの抵抗値が相違し、ビット線BLの電圧が相違する。これにより記録された情報が「1」か「0」かを判別する。なお、読み出しに係るメモリセル以外の選択トランジスタはオフ状態にする。

【0053】本実施の形態のメモリセルの場合、実施の形態1と同様に1ビットの情報は4つの磁気抵抗素子MTJ1～4で記録される。そして選択トランジスタのオン抵抗を無視すれば各磁気抵抗素子は2つを直列にさらに直列に接続された2つの磁気抵抗素子を2つ並列に接続する構成を探る。このため、各磁気抵抗素子に流れる電流密度が1つの磁気抵抗素子で記録した場合と比較して1/2に小さくなり、電流に起因する磁気抵抗素子の破損等信頼性の低下を抑制できる。また、実施の形態1と同様にメモリセル全体の抵抗値変化の低下の影響を1/4に低減できる。その他の磁気抵抗素子の構成が2×2に限られない点、素子面積の増加が実質的に1MTJ+1Trに比較して2倍に過ぎない点、MR比のバイアス電圧依存性を緩和できる点は、実施の形態1と同様である。

【0054】（実施の形態3）図5は、本発明のさらに他の実施の形態であるメモリ装置の一例をメモリセル領域の部分について示した回路図である。図5に示すように、本実施の形態のメモリ装置は、読み出しワード線WL

R-1, WLR-2、書き込みワード線WLW-1, WLW-2、書き込み読み出しひット線BLW/Rおよび書き込みヒット線BLWを有する。ワード線（読み出しづつ線WLR-1, WLR-2、書き込みワード線WLW-1, WLW-2）は第1方向（図中y方向で示す）に延在して形成され、ヒット線（書き込み読み出しひット線BLW/Rおよび書き込みヒット線BLW）は第1方向にほぼ垂直な方向の第2方向（図中x方向で示す）に延在して形成される。ワード線およびヒット線BLの交点にはメモリセルMCが配置される。なお、図5においてヒット線およびワード線に付す番号、メモリセルMC等に付す添え字の規則は実施の形態1の場合と同様である。

【0055】メモリセルMCは、4つのサブセルSC1, SC2, SC3, SC4を含む。サブセルSC1には磁気抵抗素子MTJ1および選択トランジスタTr1を含む。サブセルSC2には磁気抵抗素子MTJ2および選択トランジスタTr2を含む。サブセルSC3には磁気抵抗素子MTJ3および選択トランジスタTr3を含む。サブセルSC4には磁気抵抗素子MTJ4および選択トランジスタTr4を含む。磁気抵抗素子MTJ1～4、選択トランジスタTr1～4は、実施の形態1と同様である。

【0056】磁気抵抗素子MTJ1, MTJ2の一端は、書き込み読み出しひット線BLW/Rに接続される。他端は、各々選択トランジスタTr1, Tr2のドレインに接続される。選択トランジスタTr1, Tr2のソースは書き込みヒット線BLWに接続される。磁気抵抗素子MTJ3とMTJ4の一端は書き込みヒット線BLWに接続される。他端は、各々選択トランジスタTr3, Tr4のドレインに接続される。選択トランジスタTr3, Tr4のソースはグランド（接地）に接続される。つまり、サブセルSC1とSC2, SC3とSC4が各々並列に接続され、並列接続されたSC1およびSC2とSC3およびSC4とが書き込み読み出しひット線BLW/Rと接地との間で直列に接続される。

【0057】なお、このようなサブセルを実現するデバイス構成は、図2におけるMTJを1つにしたもので実現可能なので詳細な説明は省略する。ただし、このようなデバイス構成はあくまでも例示であり、他の構成によって図5の回路を実現することも可能である。また、前記したメモリセルMCは、x方向およびy方向に同様の構成のメモリセルが多数形成されてメモリアレイを構成することは勿論である。

【0058】次に、前記メモリセルMCへの1ビットの情報の書き込みおよび読み出しの方法を説明する。メモリセルMCにデータを書き込む場合には、Tr1～4をオフ状態にし、書き込み読み出しひット線BLW/Rおよび書き込みヒット線BLWと、書き込みワード線WLW-1, LWL-2に電流を流す。この電流による合成磁界によってフリー層7の磁化方向を決める。磁化の方向によって

「1」または「0」の1ビット情報を記録する。なお、書込み読出しビット線B LW/Rおよび書込みビット線B LWには、また、書込みワード線WLW-1およびWLW-2には、同一方向の電流を流すことは勿論である。

【0059】メモリセルMCに記録されている情報を読み出すには、Tr1～4をオン状態にし（選択トランジスタがnチャネルの場合、読出しワード線WLW-1, WLW-2をハイレベル電圧にする）、書込み読出しひット線B LW/Rに所定の電流を流してその電圧を計測する。フリー層とピン層の磁化方向が一致している場合、絶縁層にトンネル電流が流れ、一方磁化方向が不一致の場合、一致の場合に比較してトンネル電流は少なくなる。よって、フリー層の磁化方向によって磁気抵抗素子MTJの抵抗値が相違し、ビット線BLの電圧が相違する。これにより記録された情報が「1」か「0」かを判別する。なお、読出しに係るメモリセル以外の選択トランジスタはオフ状態にする。

【0060】本実施の形態のメモリセルの場合、実施の形態1と同様に1ビットの情報は4つの磁気抵抗素子MTJ1～4で記録される。そして選択トランジスタのオン抵抗を無視すれば各磁気抵抗素子は2つを並列にさらに並列に接続された2つの磁気抵抗素子を2つ直列に接続する構成を探る。このため、各磁気抵抗素子に流れる電流密度が1つの磁気抵抗素子で記録した場合と比較して1/2に小さくなり、電流に起因する磁気抵抗素子の破損等信頼性の低下を抑制できる。また、実施の形態1と同様にメモリセル全体の抵抗値変化の低下の影響を1/4に低減できる。その他の磁気抵抗素子の構成が2×2に限られない点、MR比のバイアス電圧依存性を緩和できる点は実施の形態1と同様である。

【0061】（実施の形態4）図6は、本発明の他の実施の形態であるメモリ装置の一例をメモリセル領域の部分について示した回路図である。図6に示すように、本実施の形態のメモリ装置は、読出しワード線WLW、書込みワード線WLW、ビット線BLを有する。ワード線（読出しワード線WLW、書込みワード線WLW）は第1方向（図中y方向で示す）に延在して形成され、ビット線BLは第1方向にほぼ垂直な方向の第2方向（図中x方向で示す）に延在して形成される。ワード線およびビット線BLの交点にはメモリセルMCが配置される。なお、図6においてビット線およびワード線に付す番号、メモリセルMC等に付す添え字の規則は実施の形態1の場合と同様である。

【0062】メモリセルMCには、磁気抵抗素子MTJ1, MTJ2, MTJ3, MTJ4および選択トランジスタTr1を含む。磁気抵抗素子MTJ1～4、選択トランジスタTr1は、実施の形態1と同様である。

【0063】磁気抵抗素子MTJ1とMTJ2とは互いに並列に接続され、磁気抵抗素子MTJ3とMTJ4と

は互いに並列に接続される。さらに並列に接続されたMTJ1およびMTJ2と、MTJ3およびMTJ4とは直列に接続される。並列および直列に接続されたMTJ1～4の一端はビット線BLに接続され、他端は選択トランジスタTr1のドレインに接続される。選択トランジスタTr1のソースはグランド（接地）に接続される。

【0064】図7は、本実施の形態のメモリセルMCの一例を示した平面図である。MTJ1とMTJ2、およびMTJ3とMTJ4は、その上下に配置したローカル配線によって並列に接続されている。また、実施の形態2の場合と同様にローカル配線13, 14とプラグ15を用いて直列接続を実現する。

【0065】このようなデバイス構成により、図6に示す回路のメモリセルMCが実現できる。ただし、図7に示したデバイス構成はあくまでも例示であり、他の構成によって図6の回路を実現することも可能である。また、前記したメモリセルMCは、x方向およびy方向に同様の構成のメモリセルが多数形成されてメモリアレイを構成することは勿論である。

【0066】次に、前記メモリセルMCへの1ビットの情報の書込みおよび読出しの方法を説明する。メモリセルMCにデータを書き込む場合には、Tr1をオフ状態にし、ビット線BLと、書込みワード線WLWに電流を流す。この電流による合成磁界によってフリー層の磁化方向を決める。

【0067】メモリセルMCに記録されている情報を読み出すには、Tr1をオン状態にし（選択トランジスタがnチャネルの場合、読出しワード線WLWをハイレベル電圧にする）、ビット線BLに所定の電流を流してその電圧を計測する。フリー層とピン層の磁化方向が一致している場合、絶縁層にトンネル電流が流れ、一方磁化方向が不一致の場合、一致の場合に比較してトンネル電流は少なくなる。よって、フリー層の磁化方向によって磁気抵抗素子MTJの抵抗値が相違し、ビット線BLの電圧が相違する。これにより記録された情報が「1」か「0」かを判別する。なお、読出しに係るメモリセル以外の選択トランジスタはオフ状態にする。

【0068】本実施の形態のメモリセルの場合、実施の形態1と同様に1ビットの情報は4つの磁気抵抗素子MTJ1～4で記録される。そして選択トランジスタのオン抵抗を無視すれば各磁気抵抗素子は2つを並列に、さらに並列に接続された2つの磁気抵抗素子を2つ直列に接続する構成を探る。このため、各磁気抵抗素子に流れる電流密度が1つの磁気抵抗素子で記録した場合と比較して1/2に小さくなり、電流に起因する磁気抵抗素子の破損等信頼性の低下を抑制できる。また、実施の形態1と同様にメモリセル全体の抵抗値変化の低下の影響を1/4に低減できる。その他の磁気抵抗素子の構成が2×2に限られない点、素子面積の増加が実質的に1MT

$J + 1 T_r$ に比較して 2 倍に過ぎない点、MR 比のバイアス電圧依存性を緩和できる点は実施の形態 1 と同様である。

【0069】(実施の形態 5) 図 8 は、本発明のさらに他の実施の形態であるメモリ装置の一例をメモリセル領域の部分について示した回路図である。図示するように、本実施の形態のメモリ装置は、読出しワード線 WLR-1, WLR-2、書き込みワード線 WLW-1, WLW-2、書き込み読出しビット線 BLW/R および書き込みビット線 BLW を有する。ワード線（読出しワード線 WLR-1, WLR-2、書き込みワード線 WLW-1, WLW-2）は第 1 方向（図中 y 方向で示す）に延在して形成され、ビット線（書き込み読出しビット線 BLW/R および書き込みビット線 BLW）は第 1 方向にほぼ垂直な方向の第 2 方向（図中 x 方向で示す）に延在して形成される。また、本実施の形態では、グランド電位に維持されるソース線 SL がビット線と同じ方向の x 方向に延在して形成される。ワード線およびビット線 BL の交点にはメモリセル MC が配置される。なお、図 8 においてビット線およびワード線に付す番号、メモリセル MC 等に付す添え字の規則は実施の形態 1 の場合と同様である。

【0070】メモリセル MC は、4 つのサブセルで構成される。各サブセル SC 1 には磁気抵抗素子 MTJ 1 と選択トランジスタ Tr 1 を有し、MTJ 1 の一端は書き込み読出しビット線 BLW/R あるいは書き込みビット線 BLW に接続され、他端は選択トランジスタ Tr 1 のドレインに接続される。選択トランジスタ Tr 1 のソースはソース線 SL に接続される。

【0071】すなわち、本実施の形態のサブセルはそれ自体で $1 \text{ MTJ} + 1 \text{ Tr}$ のメモリセルとして機能させることができるものである。しかし、本実施の形態では、周辺回路領域において、ソース線 SL と書き込みビット線 BLW を接続し（A 部参照）、読出しの際には、書き込み読出しビット線 BLW/R とソース線 SL との間の抵抗値を計測する。すなわち、メモリセル MC に記録されている情報を読み出すには、Tr 1_1 ~ Tr 1_2 をオン状態にし（選択トランジスタが n チャネルの場合、読出しワード線 WLR-1, WLR-2 をハイレベル電圧にする）、書き込み読出しビット線 BLW/R に所定の電流を流してソース線 SL との間の電圧を計測する。メモリセル MC にデータを書き込む場合には、Tr 1_1 ~ Tr 1_2 をオフ状態にし、書き込み読出しビット線 BLW/R および書き込みビット線 BLW と、書き込みワード線 WLW-1, WLW-2 に電流を流す。この電流による合成磁界によってフリー層 7 の磁化方向を決める。

【0072】本実施の形態のメモリセルの場合、実施の形態 1 と同様に 1 ビットの情報は 4 つの磁気抵抗素子 MTJ 1_1 ~ MTJ 1_2 で記録される。そして選択トランジスタのオン抵抗を無視すれば各磁気抵抗素子は 2 つを並列にさらに並列に接続された 2 つの磁気抵抗素子

を 2 つ直列に接続する構成を探る。このため、各磁気抵抗素子に流れる電流密度が 1 つの磁気抵抗素子で記録した場合と比較して $1/2$ に小さくなり、電流に起因する磁気抵抗素子の破損等信頼性の低下を抑制できる。また、実施の形態 1 と同様にメモリセル全体の抵抗値変化の低下の影響を $1/4$ に低減できる。その他の磁気抵抗素子の構成が 2×2 に限られない点、MR 比のバイアス電圧依存性を緩和できる点は実施の形態 1 と同様である。さらに、本実施の形態では、サブセル自体が $1 \text{ MTJ} + 1 \text{ Tr}$ のメモリセルとして機能するので、仮に MTJ の信頼性が向上した場合や、信頼性に心配が無い場合には、メモリセルの設計を変更することなく、周辺回路の簡単な変更のみで $1 \text{ MTJ} + 1 \text{ Tr}$ のメモリセルに変更することが可能である。

【0073】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更することが可能である。たとえば、前記した実施の形態では、並列あるいは直列に接続される磁気抵抗素子の数が 2 以上の場合を説明したが、並列あるいは直列に接続される磁気抵抗素子の数の何れか一方の数は 1 でも良い。つまり、 1×2 、 2×1 、あるいは $1 \times (3 \text{ 以上})$ 、 $(3 \text{ 以上}) \times 1$ 、等の直列並列構成でもよい。このような場合、2 以上の直列構成（並列接続はなし）を採用すれば電流密度低減の効果は得られないが、抵抗値変化の影響を $1/2$ 以下に低減する効果は得られる。また、2 以上の並列構成（直列接続はなし）を採用すれば、磁気抵抗素子全体の抵抗値は低下するが、電流密度を $1/2$ 以下に低減する効果が得られ、また、抵抗値変化の影響を $1/2$ 以下に低減する効果が得られる。

【0074】

【発明の効果】本願で開示される発明のうち、代表的なものによって得られる効果は、以下の通りである。MRAM の記録信頼性を向上することができる。また、ある程度の抵抗値のばらつきを前提とした場合であっても信頼性の高い情報の読出しを実現することができる。さらに、磁気抵抗素子の MR 比のバイアス電圧依存性を緩和できる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態（実施の形態 1）であるメモリ装置の一例をメモリセル領域の部分について示した回路図である。

【図 2】実施の形態 1 のメモリセル MC の一例を示した平面図（a）および断面図（b）である。

【図 3】本発明の他の実施の形態（実施の形態 2）であるメモリ装置の一例をメモリセル領域の部分について示した回路図である。

【図 4】実施の形態 2 のメモリセル MC の一例を示した平面図（a）および断面図（b）である。

【図5】本発明のさらに他の実施の形態（実施の形態3）であるメモリ装置の一例をメモリセル領域の部分について示した回路図である。

【図6】本発明の他の実施の形態（実施の形態4）であるメモリ装置の一例をメモリセル領域の部分について示した回路図である。

【図7】実施の形態4のメモリセルMCの一例を示した平面図である。

【図8】本発明のさらに他の実施の形態（実施の形態5）であるメモリ装置の一例をメモリセル領域の部分について示した回路図である。

【符号の説明】

1…半導体基板、2…素子分離領域、3…活性領域、4…ゲート絶縁膜、5…半導体領域、6-1，6-2…配線、7…フリー層、8…絶縁層、9…ピン層、10…反磁性層、11，12，13…ローカル配線、14…ローカル配線、15，16…プラグ、BL…ピット線、BLW…書き込みピット線、BLW/R…書き込み読出しピット線、SC…サブセル、M1…第1層金属配線、M2…第2層金属配線、M3…第3層金属配線、MC…メモリセル、MTJ…磁気抵抗素子、P…プラグ、SL…ソース線、Tr…選択トランジスタ、WLW…読出しワード線、WLW…書き込みワード線。

10

11

12

13

14

15

16

17

18

19

20

21

22

23

24

25

26

27

28

29

30

31

32

33

34

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

65

66

67

68

69

70

71

72

73

74

75

76

77

78

79

80

81

82

83

84

85

86

87

88

89

90

91

92

93

94

95

96

97

98

99

100

101

102

103

104

105

106

107

108

109

110

111

112

113

114

115

116

117

118

119

120

121

122

123

124

125

126

127

128

129

130

131

132

133

134

135

136

137

138

139

140

141

142

143

144

145

146

147

148

149

150

151

152

153

154

155

156

157

158

159

160

161

162

163

164

165

166

167

168

169

170

171

172

173

174

175

176

177

178

179

180

181

182

183

184

185

186

187

188

189

190

191

192

193

194

195

196

197

198

199

200

201

202

203

204

205

206

207

208

209

210

211

212

213

214

215

216

217

218

219

220

221

222

223

224

225

226

227

228

229

230

231

232

233

234

235

236

237

238

239

240

241

242

243

244

245

246

247

248

249

250

251

252

253

254

255

256

257

258

259

260

261

262

263

264

265

266

267

268

269

270

271

272

273

274

275

276

277

278

279

280

281

282

283

284

285

286

287

288

289

290

291

292

293

294

295

296

297

298

299

300

301

302

303

304

305

306

307

308

309

310

311

312

313

314

315

316

317

318

319

320

321

322

323

324

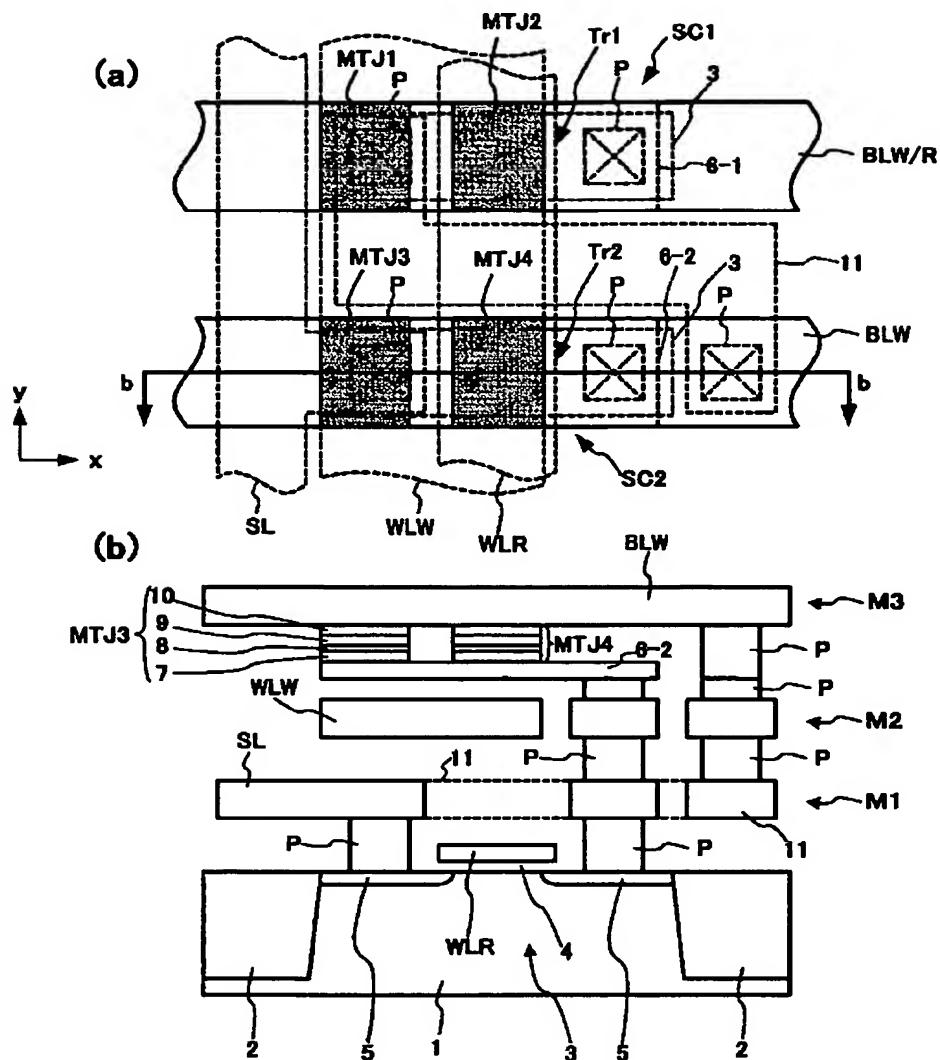
325

326

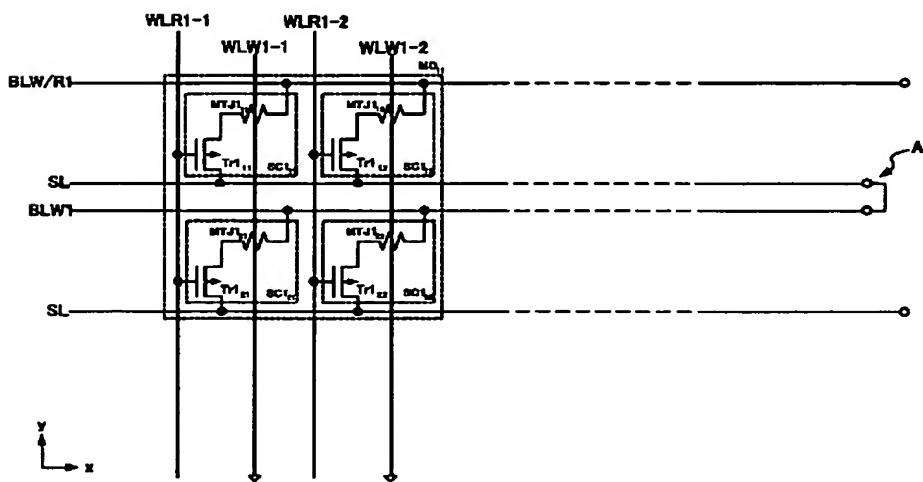
327

328

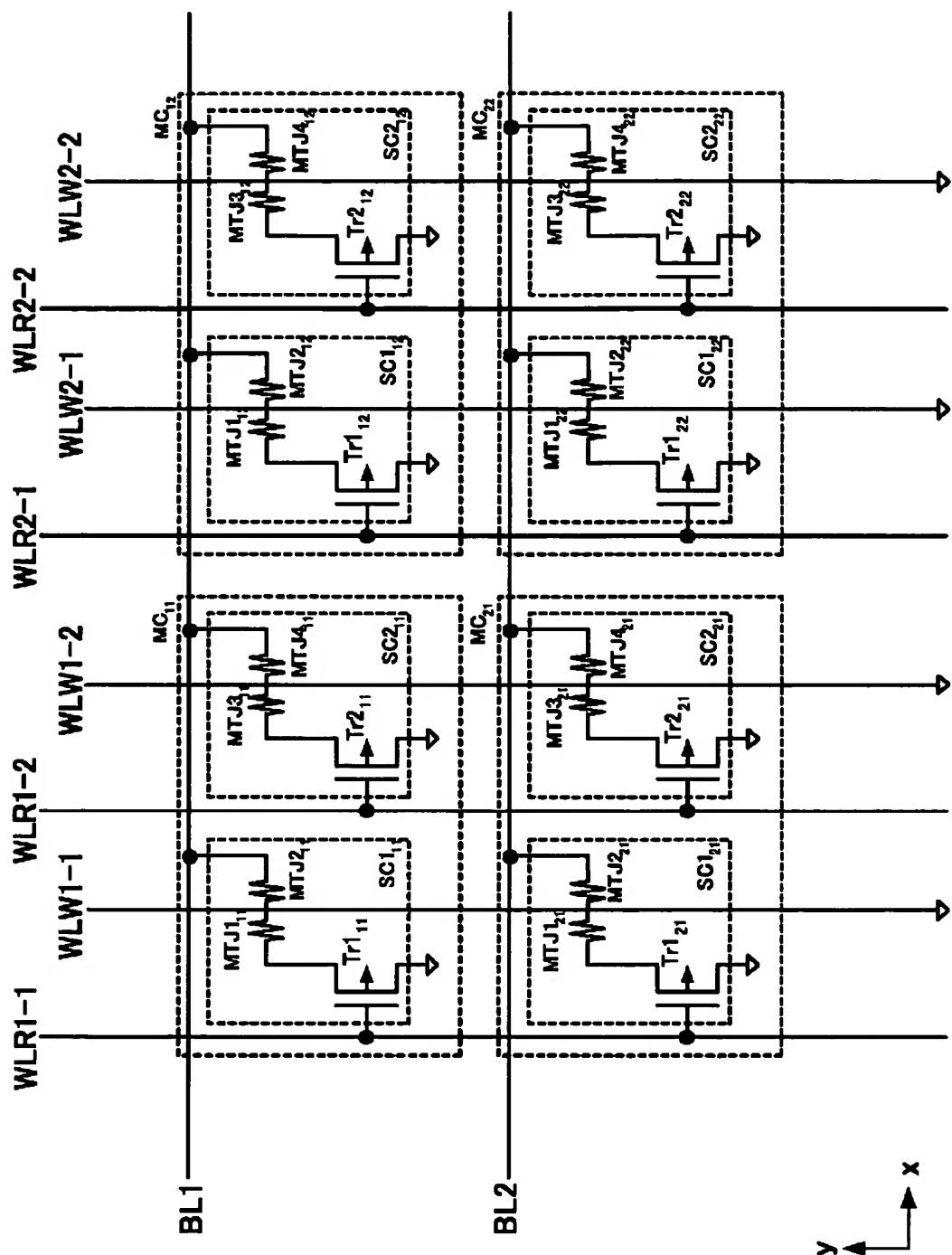
【図2】



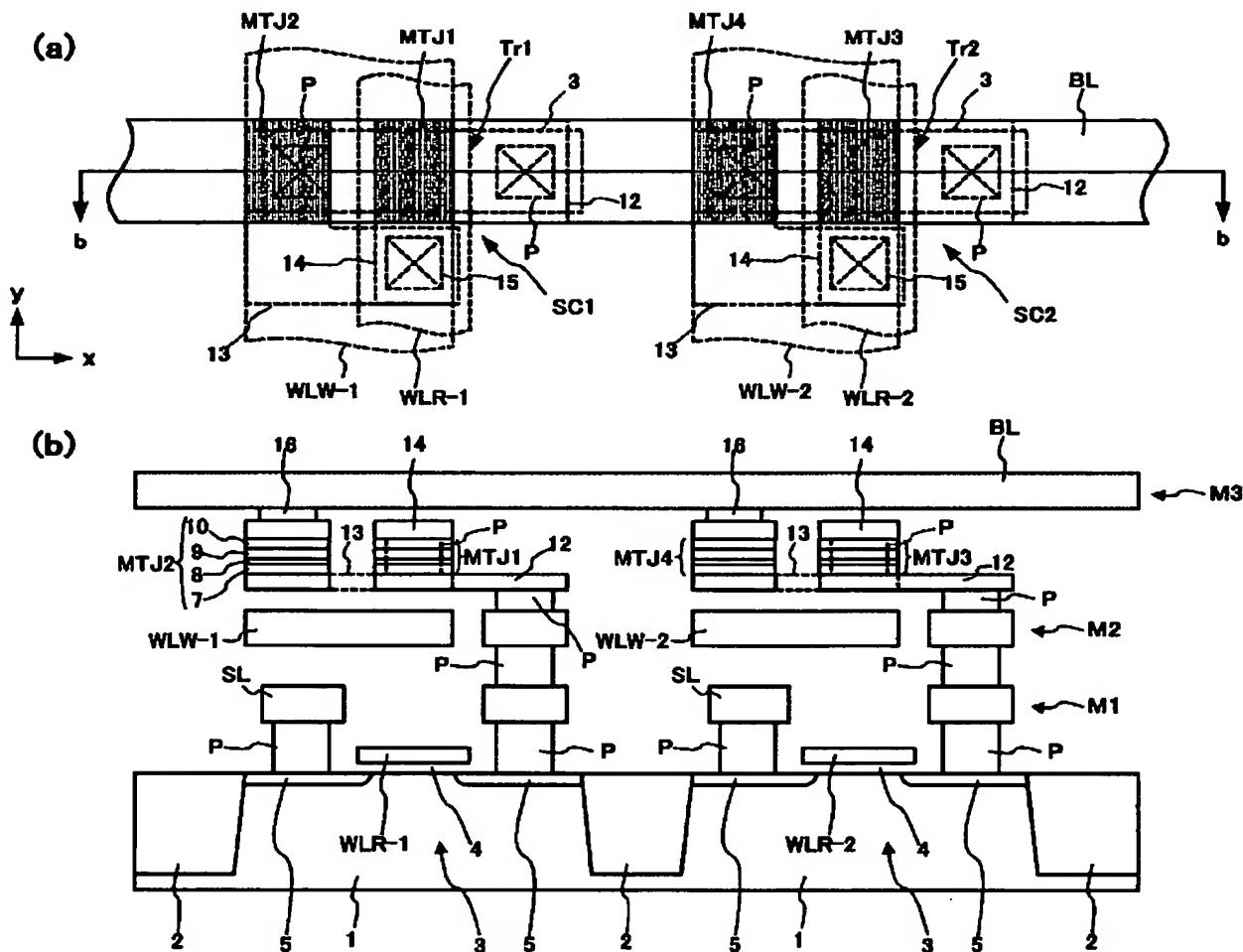
【図8】



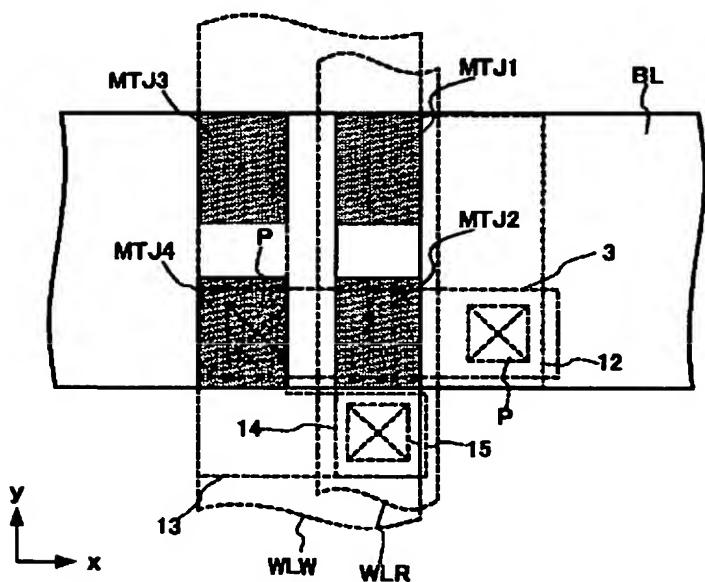
【図3】



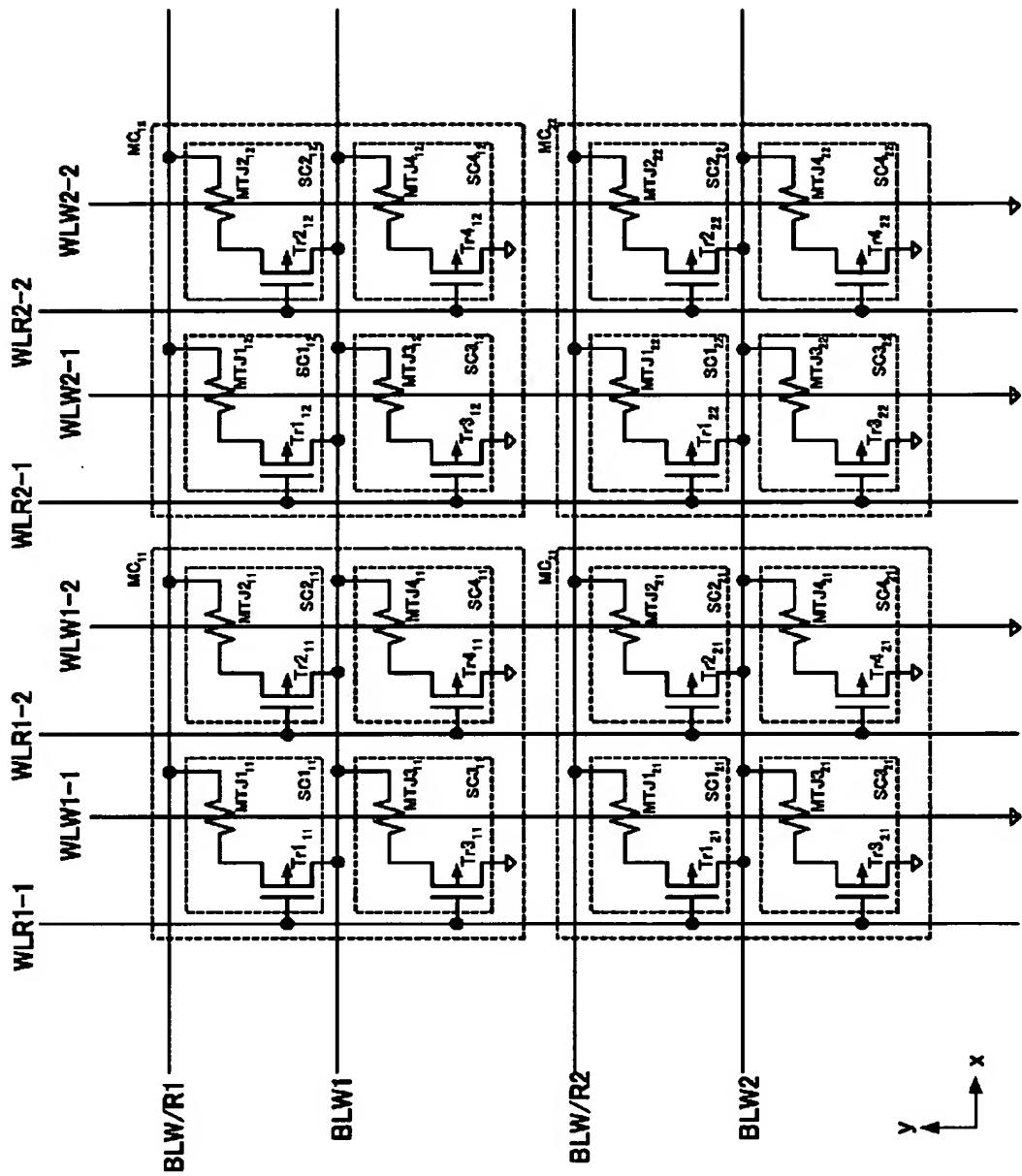
【図4】



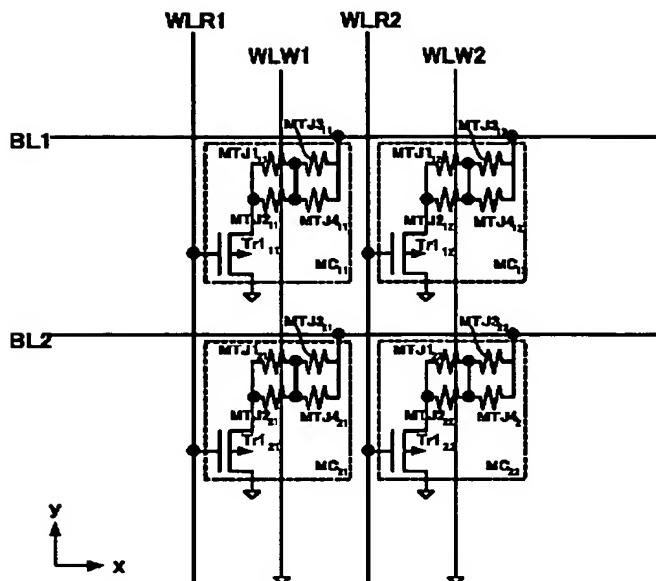
【図7】



【図5】



【図6】



フロントページの続き

(72)発明者 浅野 秀夫

神奈川県藤沢市桐原町1番地 日本アイ・ビー・エム株式会社 藤沢事業所内

(72)発明者 砂永 登志男

滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業所内

(72)発明者 北村 恒二

滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業所内

(72)発明者 宮武 久忠

滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業所内

(72)発明者 梅▲崎▼ 宏

神奈川県藤沢市桐原町1番地 日本アイ・ビー・エム株式会社 藤沢事業所内

(72)発明者 野田 紘慈

神奈川県藤沢市桐原町1番地 日本アイ・ビー・エム株式会社 藤沢事業所内

F ターム(参考) 5F083 FZ10 GA09 GA11 JA02 JA32

JA35 JA36 JA37 JA39 JA53
JA56 LA12 LA16 NA01 PR21
PR40